

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-169284

(43) 公開日 平成7年(1995)7月4日

(51) Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

G 1 1 C 16/06

H 0 1 L 21/8247

29/788

G 1 1 C 17/00

5 1 0 D

H 0 1 L 29/78

3 7 1

審査請求 未請求 請求項の数 3 O L (全 16 頁) 最終頁に続く

(21) 出願番号 特願平5-311740

(22) 出願日 平成5年(1993)12月13日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 ヘミンク・ゲルトヤン

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(72) 発明者 丹沢 徹

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(72) 発明者 田中 智晴

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

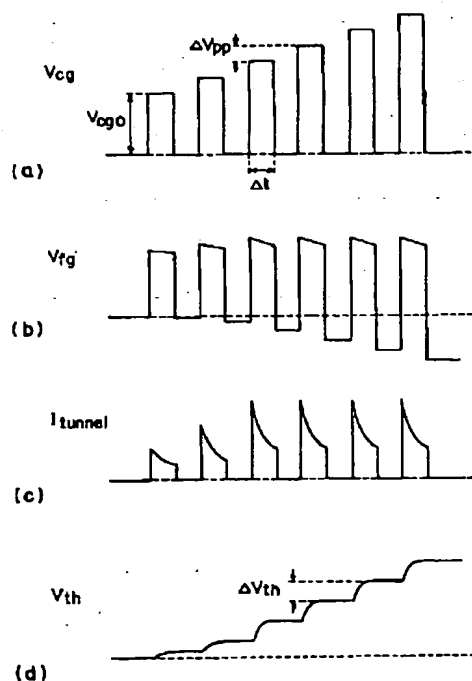
(74) 代理人 弁理士 鈴江 武彦

(54) 【発明の名称】 不揮発性半導体記憶装置

(57) 【要約】

【目的】 十分な書き込み電圧 V_{pp} マージンを確保することができると共に、メモリセルのしきい値分布幅を狭くすることができ、かつ高速に電子注入を行うことができるEEPROMを提供すること。

【構成】 半導体層上に浮遊ゲートと制御ゲートを積層して構成された電氣的書き替え可能なメモリセルがマトリクス状に配置されたメモリセルアレイを有し、制御ゲートと半導体層との間にしきい値変動パルスを時間 Δt の間印加するしきい値変動動作と、メモリセルのしきい値変動パルス印加後の状態を検知するしきい値ベリファイ動作とを、メモリセルのしきい値が所望の値に達するまで繰り返すEEPROMにおいて、しきい値変動パルスを、しきい値変動動作の度にパルス波高増分 ΔV_{pp} だけ高め、所望のしきい値に達したメモリセルのしきい値分布幅が $|\Delta V_{pp}|$ となるように電氣的にデータ書き込みを行うこと。



【特許請求の範囲】

【請求項1】半導体層上に電荷蓄積層と制御ゲートを積層して構成された電氣的書き替え可能なメモリセルがマトリクス状に配置されたメモリセルアレイと、

前記メモリセルアレイ中の任意の個数のメモリセルのしきい値を変動させるため、前記制御ゲートと前記半導体層との間にしきい値変動電圧パルスを時間 Δt_0 の間印加するしきい値変動手段と、

前記任意の個数のメモリセルの前記しきい値変動電圧パルス印加後の状態を検知するしきい値ベリファイ手段

と、

前記任意の個数のメモリセルのうち、所望のしきい値に達していないしきい値変動不十分のメモリセルに対して、しきい値変動電圧パルスを時間 Δt の間印加し、再びしきい値を変動させる再しきい値変動手段とを備え、前記しきい値変動手段によるしきい値変動動作と前記しきい値ベリファイ手段によるしきい値ベリファイ動作の後、前記再しきい値変動手段による再しきい値変動動作と前記しきい値ベリファイ動作を、メモリセルのしきい値が前記所望の値に達するまで繰り返す不揮発性半導体記憶装置において、

前記しきい値変動電圧パルスを、前記再しきい値変動動作の度にパルス波高増分 ΔV_{pp} だけ高め、

前記所望のしきい値に達したメモリセルのしきい値分布幅が $|\Delta V_{pp}|$ となるように電氣的にデータ消去或いはデータ書き込みを行うことを特徴とする不揮発性半導体記憶装置。

【請求項2】半導体層上に電荷蓄積層と制御ゲートを積層して構成された電氣的書き替え可能なメモリセルがマトリクス状に配置されたメモリセルアレイと、

前記メモリセルアレイの各メモリセルのデータをデータ“0”の状態に消去する消去手段と、

前記メモリセルアレイ中の任意の個数のメモリセルのしきい値を変動させるため、前記制御ゲートと前記半導体層との間に、書き込みデータ(“1”, “2”, ..., “n”)に応じたしきい値変動電圧パルス(V_{pp1} , V_{pp2} , ..., V_{ppn})を印加する書き込みパルス印加手段と、

前記任意の個数のメモリセルの前記しきい値変動電圧パルス印加後の状態を検知するしきい値ベリファイ手段

と、

前記任意の個数のメモリセルのうち、書き込みデータ(“1”, “2”, ..., “n”)に応じた所望のしきい値(V_{th1} , V_{th2} , ..., V_{thn})に達していない書き込み不十分のメモリセルに対して、書き込みデータに応じたしきい値変動電圧パルスを印加し、再び書き込みデータに応じてしきい値変動させる再書き込みパルス印加手段とを備え、

前記書き込みパルス印加手段によるしきい値変動動作と前記しきい値ベリファイ手段によるしきい値ベリファイ

動作の後、前記書き込みパルス印加手段による再しきい値変動動作と前記しきい値ベリファイ動作を、メモリセルのしきい値が書き込みデータに応じた前記所望の値に達するまで繰り返し、

前記しきい値変動電圧パルスは、 $V_{pp1} = V_{pp2} - \Delta V_{ppd2} = V_{pp3} - \Delta V_{ppd3} = \dots = V_{ppn} - \Delta V_{ppdn}$ となっていて、

前記所望のしきい値は、 $V_{thi} - V_{thi-1} = \Delta V_{ppdi}$ ($i = 2, 3, \dots, n$)であることを特徴とする不揮発性半導体記憶装置。

【請求項3】前記書き込みパルス印加手段によるしきい値変動電圧パルスは時間 Δt_0 の間印加され、前記書き込みパルス印加手段によるしきい値変動電圧パルスは時間 Δt の間印加され、

前記しきい値変動電圧パルスは再しきい値変動動作の度にパルス波高増分 ΔV_{pp} だけ高められ、

前記所望のしきい値に達したメモリセルのしきい値分布幅が $|\Delta V_{pp}|$ となるように電氣的にデータ書き込みを行うことを特徴とする請求項2記載の不揮発性半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、電氣的書き替え可能な不揮発性半導体記憶装置(EEPROM)に係わり、特にトンネル電流によりメモリセルに対して書き込み/消去を行うEEPROMに関する。

【0002】

【従来の技術】EEPROMの1つとして、高集積化が可能なNANDセル型EEPROMが知られている。これは、複数のメモリセルをそれらのソース、ドレインを隣接するもの同士で共用する形で直列接続し、これを1単位としてビット線に接続するものである。メモリセルは通常、浮遊ゲート(電荷蓄積層)と制御ゲートが積層されたFETMOS構造を有する。メモリセルアレイは、p型基板又はn型基板に形成されたp型ウェル内に集積形成される。NANDセルのドレイン側は選択ゲートを介してビット線に接続され、ソース側はやはり選択ゲートを介して共通ソース線に接続される。メモリセルの制御ゲートは、行方向に連続的に配設されてワード線となる。

【0003】このNANDセル型EEPROMの動作は、次の通りである。データ書き込みは、ビット線から最も離れた位置のメモリセルから順に行う。選択されたメモリセルの制御ゲートには高電圧 V_{pp} (=20V程度)を印加し、それよりビット線側にあるメモリセルの制御ゲート及び選択ゲートには中間電圧 V_{ppm} (=10V程度)を印加し、ビット線にはデータに応じて0V又は中間電圧 V_m (=8V程度)を与える。

【0004】ビット線に0Vが与えられた時、その電位は選択メモリセルのドレインまで転送されて、電荷蓄積

層に電子注入が生じる。これにより、選択されたメモリセルのしきい値は正方向にシフトする。この状態を例えば“0”とする。ビット線に V_m が与えられた時は電子注入が実効的に起こらず、従ってしきい値は変化せずに、負に止まる。この状態は消去状態で“1”とする。データ書き込みは制御ゲートを共有するメモリセルに対して同時に行われる。

【0005】データ消去は、NANDセル内の全てのメモリセルに対して同時に行われる。即ち、全ての制御ゲートを0Vとし、p型ウェルを20Vとする。このとき、選択ゲート、ビット線及びソース線も20Vにされる。これにより、全てのメモリセルで電荷蓄積層の電子がp型ウェルに放出され、しきい値は負方向にシフトする。

【0006】データ読み出しは、選択されたメモリセルの制御ゲートを0Vとし、それ以外のメモリセルの制御ゲート及び選択ゲートを電源電位 V_{cc} （例えば5V）として、選択メモリセルで電流が流れるか否かを検出することにより行われる。

【0007】読み出し動作の制約から、“0”書き込み後のしきい値は0Vから V_{cc} の間に制御しなければならない。このため、書き込みベリファイが行われ、“0”書き込み不足のメモリセルのみを検出し、“0”書き込み不足のメモリセルに対してのみ再書き込みが行われるよう再書き込みデータを設定する（ビット毎ベリファイ）。“0”書き込み不足のメモリセルは、選択された制御ゲートを例えば0.5V（ベリファイ電圧）にして読み出すこと（ベリファイ読み出し）で検出される。つまり、メモリセルのしきい値が0Vに対してマージンを持って、0.5V以上になっていないと、選択メモリセルで電流が流れ、“0”書き込み不足と検出される。

【0008】書き込み動作と書き込みベリファイを繰り返しながらデータ書き込みをすることで個々のメモリセルに対して、書き込み時間が最適化され“0”書き込み後のしきい値は0Vから V_{cc} の間に制御される。

【0009】このようなNANDセル型EEPROMでは、書き込み時の書き込み電圧 V_{pp} を一定としているため、電荷蓄積層の電子の量が比較的少ない書き込み初期ではメモリセルのしきい値変化は速く、電子注入が行われ電荷蓄積層の電子の量が比較的多い書き込み後期ではメモリセルのしきい値変化は遅い。また、書き込み初期ではトンネル電流の流れる絶縁膜に印加される電界が強く、書き込み後期ではその電界は弱い。

【0010】このため、書き込み速度を速くするため書き込み電圧 V_{pp} を高めると、書き込み後の最大しきい値が高く、書き込み後のしきい値分布幅が広くなり、またトンネル電流の流れる絶縁膜に印加される電界が強くなり信頼性が悪くなる。逆に、書き込み後のしきい値分布幅を狭くするため V_{pp} を低めると、書き込み速度が遅くなる。言い替えれば、書き込み電圧マージンが狭いとい

う問題があった。

【0011】以下、この問題について詳しく説明する。ここで、メモリセルとしては、後述する図1の構成を考える。図1において、1は制御ゲート、2はゲート間絶縁膜、3は浮遊ゲート、4はトンネル酸化膜、5はn型拡散層、6はp型ウェルである。

【0012】従来、例えば浮遊ゲートに電子注入を行う場合、図21(a)に示すように制御ゲート電圧 V_{cg} を印加し、p型ウェルとn型拡散層を0Vにしていた。この場合、制御ゲート電圧 V_{cg} を一定時間Tの間だけ一定電圧 V_{pp} にする。初期的には浮遊ゲート中の電子の量が少ないので、図21(b)に示すように浮遊ゲート電位 V_{fg} は比較的高く、図21(c)に示すようにトンネル電流 I_{tunnel} は比較的大きい。浮遊ゲートへの電子注入が進むと、浮遊ゲート中の電子の量が多くなるので、浮遊ゲート電位 V_{fg} は比較的低くなり、トンネル電流 I_{tunnel} は比較的小さくなる。よって、メモリセルのしきい値 V_{th} の変化量は、図21(d)に示すように初期的に大きく、徐々に少なくなる。

【0013】一般に、ベリファイと呼ばれるメモリセルのしきい値確認動作を行いながら、浮遊ゲートへの電子注入を行う場合、図22のようになる。制御ゲート電圧 V_{cg} は数発のパルスに分割され、各浮遊ゲートへの電子注入動作の後、ベリファイが行われる。図22では、便宜上ベリファイ動作時の制御ゲート電圧 V_{cg} は0Vにしてあるが、ベリファイの方法によって制御ゲートに何らかの電圧が印加される場合が多い。ベリファイによってメモリセルのしきい値が所望の値に達したと検知されると、電子注入動作は終了される。同時に複数個のメモリセルに電子注入を行う場合は、ベリファイによってメモリセルのしきい値が所望の値に達したと検知されると、メモリセル毎に電子注入動作は終了される。

【0014】図23は図22と同じ方法で複数のメモリセルに電子注入を行った場合の、各メモリセルのしきい値の変化を示す図である。通常、メモリセルの形状は少しづつばらついていて、その結果、電子注入の時経変化がばらつく。最も電子注入しやすいメモリセルでは、直ぐにメモリセルのしきい値の収まるべき範囲の上限 V_{th-max} に達し、1回目の電子注入動作でしきい値が V_{th-max} を超えないように電圧 V_{pp} の上限電圧 V_{pp-max} は決まる。最も電子注入しにくいメモリセルでは、メモリセルのしきい値の収まるべき範囲の下限 V_{th-min} に達しにくく、所定の電子注入動作回数以内でしきい値が V_{th-min} を超えるように電圧 V_{pp} の下限電圧 V_{pp-min} は決まる。

【0015】 $V_{pp-max} - V_{pp-min}$ は V_{pp} マージンと呼ばれ、正の値でなければならない。 V_{th-max} を下げしきい値分布幅を狭くしようとすると、 V_{pp} を下げなければならず V_{pp} マージンは0Vに近づく。電子注入・放出を繰り返すとトンネル酸化膜は劣化し、電子注入・放出特性が変化するため、 V_{pp} マージンが十分ないと信頼性上問

10

20

30

40

50

題となる。

【0016】

【発明が解決しようとする課題】このように従来のNANDセル型EEPROMにおいては、書き込み電圧 V_{pp} を高めると書き込み後のしきい値分布幅が広くなり、書き込み電圧 V_{pp} を低めると書き込み速度が遅くなるという、いわゆるトレードオフの関係があった。そして、書き込み電圧 V_{pp} マージンが狭いことから、素子信頼性が低下するという問題があった。

【0017】本発明は、上記の事情を考慮してなされたもので、その目的とするところは、十分な書き込み電圧 V_{pp} マージンを確保することができると共に、メモリセルのしきい値分布幅を狭くすることができ、かつ高速に電子注入を行うことができるEEPROMを提供することにある。

【0018】

【課題を解決するための手段】本発明の骨子は、書き込み動作とビット毎ペリファイ動作のサイクルを繰り返しながら、書き込み電圧 V_{pp} を徐々に高めることにある。書き込み電圧 V_{pp} はサイクル毎に ΔV_{pp} だけ高められ、1回の書き込み時間 Δt は一定とされる。さらに、“0”書き込み後のしきい値分布幅が ΔV_{pp} となるように、 ΔV_{pp} 、 Δt は設定される。

【0019】即ち、本発明（請求項1）は、半導体層上に電荷蓄積層と制御ゲートを積層して構成された電氣的書き替え可能なメモリセルがマトリクス状に配置されたメモリセルアレイと、メモリセルアレイ中の任意の個数のメモリセルのしきい値を変動させるため、制御ゲートと半導体層との間にしきい値変動電圧パルスを経過時間 Δt の間印加するしきい値変動手段と、任意の個数メモリセルのしきい値変動電圧パルス印加後の状態を検知するしきい値ペリファイ手段と、任意の個数のメモリセルのうち、所望のしきい値に達していないしきい値変動不十分なメモリセルに対して、しきい値変動電圧パルスを時間 Δt の間印加し、再びしきい値を変動させる再しきい値変動手段とを備え、しきい値変動手段によるしきい値変動動作としきい値ペリファイ手段によるしきい値ペリファイ動作の後、再しきい値変動手段による再しきい値変動動作としきい値ペリファイ動作を、メモリセルのしきい値が所望の値に達するまで繰り返す不揮発性半導体記憶装置において、しきい値変動電圧パルスを、再しきい値変動動作の度にパルス波高増分 ΔV_{pp} だけ高め、所望のしきい値に達したメモリセルのしきい値分布幅が $|\Delta V_{pp}|$ となるように電氣的にデータ消去或いはデータ書き込みを行うことを特徴とする。

【0020】また、本発明（請求項2）は、半導体層上に電荷蓄積層と制御ゲートを積層して構成された電氣的書き替え可能なメモリセルがマトリクス状に配置されたメモリセルアレイと、メモリセルのデータをデータ“0”の状態に消去する消去手段と、メモリセルアレイ

中の任意の個数のメモリセルのしきい値を変動させるため、制御ゲートと半導体層との間に、書き込みデータ（“1”，“2”，…，“n”）に応じたしきい値変動電圧パルス（ V_{pp1} ， V_{pp2} ，…， V_{ppn} ）を印加する書き込みパルス印加手段と、任意の個数のメモリセルのしきい値変動パルス印加後の状態を検知するしきい値ペリファイ手段と、任意の個数のメモリセルのうち、書き込みデータ（“1”，“2”，…，“n”）に応じた所望のしきい値（ V_{th1} ， V_{th2} ，…， V_{thn} ）に達していない書き込み不十分なメモリセルに対して、書き込みデータに応じたしきい値変動パルスを印加し、再び同時に書き込みデータに応じてしきい値変動させる再書き込みパルス印加手段とを備え、書き込みパルス印加手段によるしきい値変動動作としきい値ペリファイ手段によるしきい値ペリファイ動作の後、再書き込みパルス印加手段による再しきい値変動動作としきい値ペリファイ動作を、メモリセルのしきい値が書き込みデータに応じた所望の値に達するまで繰り返す不揮発性半導体記憶装置において、しきい値変動電圧パルスは、 $V_{pp1} = V_{pp2} - \Delta V_{ppd2} = V_{pp3} - \Delta V_{ppd2} = \dots = V_{ppn} - \Delta V_{ppdn}$ となっていて、所望のしきい値は、 $V_{thi} - V_{thi-1} = \Delta V_{ppdi}$ （ $i = 2, 3, \dots, n$ ）であることを特徴とする。

【0021】ここで、本発明の望ましい実施態様としては、次のものがあげられる。

(1) 書き込みパルス印加手段によるしきい値変動電圧パルスは時間 Δt の間印加され、再書き込みパルス印加手段によるしきい値変動電圧パルスは時間 Δt の間印加され、しきい値変動電圧パルスは再しきい値変動動作の度にパルス波高増分 ΔV_{pp} だけ高められ、所望のしきい値に達したメモリセルのしきい値分布幅が $|\Delta V_{pp}|$ となるように電氣的にデータ書き込みを行うこと。

(2) しきい値変動動作及び再しきい値変動動作中に用いられるしきい値変動パルス波高は一定であること。

(3) 再しきい値変動動作中に用いられるしきい値変動パルス波高はパルス幅 Δt の間にパルス波高増分 ΔV_{pp} だけ高められ、しきい値変動動作中に用いられるしきい値変動パルス波高はパルス幅 Δt の間に $\Delta V_{pp} \times \Delta t$ / Δt だけ高められること。

(4) 再しきい値変動動作中に用いられるしきい値変動パルス波高はパルス幅 Δt の間にパルス波高増分 ΔV_{pp} だけ一定の増加率をもって高められ、しきい値変動動作中に用いられるしきい値変動パルス波高はパルス幅 Δt の間に $\Delta V_{pp} \times \Delta t$ / Δt だけ一定の増加率をもって高められること。

(5) しきい値変動動作中に用いられるしきい値変動パルス幅 Δt と、再しきい値変動動作中に用いられるしきい値変動パルス幅 Δt とは等しいこと。

(6) しきい値変動動作中に用いられるしきい値変動パルス幅 Δt は、再しきい値変動動作中に用いられるしき

い値変動パルス幅 Δt より長いこと。

(7) メモリセルは複数個づつ直列接続されNANDセル構造を形成し、第1の選択ゲートを介してビット線に接続され、第2の選択ゲートを介してソース線に接続されること。

【0022】

【作用】本発明においては、書き込み電圧 V_{pp} は書き込み時間の経過とともに徐々に高められ、書き込みやすいメモリセルに対しては、比較的低い書き込み電圧 V_{pp} で書き込みを完了し、書き込み難いメモリセルに対しては、比較的高い書き込み電圧 V_{pp} で書き込みを行うことで、広い書き込み電圧 V_{pp} マージンを得ることができる。

【0023】また、“0”書き込み後のしきい値分布幅が ΔV_{pp} となるように、 ΔV_{pp} 、 Δt は設定されるということは、1サイクルでのしきい値シフト量がほぼ一定値 ΔV_{pp} であるということで、トンネル電流の流れる絶縁膜に印加される電圧は毎サイクル同じように平均的になるよう制御され、その最大値が低減でき、信頼性が向上する。

【0024】

【実施例】以下、本発明の実施例を図面を参照して説明する。図1(a)は、本発明の実施例に用いた不揮発性メモリセルの構造を示している。n型シリコン基板7の上のp型ウェル6の上に浮遊ゲート(電荷蓄積層)3と制御ゲート1が積層形成される。p型ウェル6と浮遊ゲート3はトンネル酸化膜4によって絶縁され、浮遊ゲート3と制御ゲート1はゲート間絶縁膜2によって絶縁されている。n型拡散層5はメモリセルトランジスタのソース・ドレインを形成する。

【0025】浮遊ゲート3と制御ゲート1との間の容量、浮遊ゲート3とp型ウェル6との間の容量は、それぞれ図1(b)に示すように C_{cg} と C_{ox} である。容量 C_{ox} は浮遊ゲート3とn型拡散層5との間の容量も含む。メモリセルはそのしきい値でデータを記憶し、しきい値は浮遊ゲート3に蓄えられる電荷量で決まる。浮遊ゲート3中の電荷量は、トンネル酸化膜4を通るトンネル電流で変化させられる。

【0026】即ち、p型ウェル6とn型拡散層5に対して制御ゲート1を十分に高い電位にすると、トンネル酸化膜4を通して電子が浮遊ゲート3に注入され、しきい値は高くなる。逆に、制御ゲート1に対してp型ウェル6とn型拡散層5を高電位にすると、トンネル酸化膜4を通して電子が浮遊ゲート3から放出され、しきい値は低くなる。

【0027】図2は、本発明の第1の実施例に係わる電子注入方式を示している。(a)は制御ゲート電圧 V_{cg} 、(b)は浮遊ゲート電位 V_{fg} 、(c)はトンネル電流 I_{tunnel} 、(d)はメモリセルのしきい値 V_{th} である。

【0028】制御ゲートには高電圧 V_{pp} パルスが与えられ、 V_{pp} パルス印加後にペリファイが行われる。最初の V_{pp} パルス電圧は V_{cg0} で、徐々に ΔV_{pp} づつ高められる。パルス幅は一定時間 Δt である。 Δt と ΔV_{pp} は、1回の電子注入動作でのメモリセルのしきい値の最大変化量 ΔV_{th} が、 ΔV_{pp} と等しくなるようにされる。実際には、 V_{pp} が十分高くトンネル電流が十分流れ出すようになった時、1回の電子注入動作でのメモリセルのしきい値変化量 ΔV_{th} を ΔV_{pp} と等しくなるようにすると、1回の電子注入動作で注入される電子が、次の電子注入動作での V_{pp} の増加分 ΔV_{pp} によるトンネル酸化膜に印加される電圧増加をキャンセルし、それ以降、しきい値変化量 ΔV_{th} は毎回一定値 ΔV_{pp} となる。

【0029】初期パルス電圧 V_{cg0} を十分小さくしておけば、最も電子注入しやすいメモリセルのしきい値は、確実にしきい値の上限 V_{th-max} 以下に制御でき広い V_{pp} マージンが得られ、また、同時に $V_{th-max} - V_{th-min} = \Delta V_{pp}$ とすることができる。最も電子注入しにくいメモリセルでは、 V_{pp} が高められることによって高速に V_{th-min} に達する。ペリファイによって各メモリセル毎にしきい値が検証され、しきい値下限 V_{th-min} に達していると検知されると、各メモリセル毎に電子注入動作は終了させられる。

【0030】この方式では、さらに電子注入量の増加に従って、 V_{pp} が高められるため、浮遊ゲート電圧 V_{fg} の最大値 V_{fg-max} が抑えられ、トンネル酸化膜の劣化も抑制される。実際には、しきい値変化量 ΔV_{th} が毎電子注入動作時に一定値 ΔV_{pp} となり、浮遊ゲート電圧 V_{fg} も毎回同じように印加され、その結果、 V_{fg-max} が抑えられる。

【0031】図3は、本発明の第2の実施例に係わる電子注入方式を示している。基本的には第1の実施例と同様であるが、電子注入初期の数発のパルスを1つにまとめ、ペリファイ動作を省くことで高速化している。この方式では、図2に示される電子注入方式で、メモリセルのしきい値が電子注入初期の数発のパルスで V_{th-min} に達しないような場合、電子注入を高速に行うためには有効である。

【0032】図4は、第2の実施例において、最も電子注入されやすいメモリセル、典型的なメモリセル、最も電子注入されにくいメモリセル、のしきい値の時経変化を示すものである。トンネル酸化膜の劣化を防ぐためには、 V_{fg-max} が小さい方がよい。このため、図5に示すように、 V_{pp} パルス幅 Δt と V_{pp} 増加分 ΔV_{pp} を小さくするとよい。しかし、これではペリファイ動作回数が増加し、電子注入に時間がかかる。また、必要以上にしきい値分布幅が狭く、無駄が多い。

【0033】図6は、本発明の第3の実施例に係わる電子注入方式を示している。これは、図5に見られる V_{pp} パルスを数発ずつまとめたものである。初期的には、図

3, 4で説明したように、より多くの V_{pp} パルスをもとめている。この方法によって、浮遊ゲート電圧 V_{fg} はほぼ一定となり、図3, 4で説明した方式よりトンネル酸化膜の劣化を抑えつつ、同様に $V_{th-max}-V_{th-min}=\Delta V_{pp}$ とし、高速に電子注入できる。

【0034】図7は、本発明の第4の実施例に係わる電子注入方法を示すものである。これは、図6で示される方法で、 $\Delta t \rightarrow 0$, $\Delta V_{pp0} \rightarrow 0$ としたもので、各 V_{pp} パルスは一定の dV_{pp}/dt を持ち、連続的に ΔV_{pp} だけ上昇する。この方法では電子注入中の浮遊ゲート電位をほぼ一定にすることができ、トンネル酸化膜の劣化は最小に抑えられる。

【0035】以上説明したNMOSメモリセルへの電子注入動作中は、 V_{pp} が十分高ければチャネル部は反転していて、ドレイン、ソース、チャネル部は同電位である。よって、例えば図7に示される方法は、以下に示す図8, 9のような方法と同じである。

【0036】図8に示される方法は、制御ゲート電圧 V_{cg} を一定にし、ドレイン電圧 V_d を徐々に低下させる。これによって図7に示される方法と図8に示される方法は同じ効果を生む。図8に示される方法で、ドレインに印加する電圧の初期値 V_{d0} が高く、耐圧を越えてしまうようであれば、図9に示される方法を用いればよい。つまり、ドレイン電圧の初期値 V_{d0} を下げて、同時に制御ゲートの初期値 V_{cg0} も下げる。ドレイン電圧 V_d が0Vまで下がりきったら、制御ゲート電圧 V_{cg} を V_{d0} だけ上げ、 V_d を V_{d0} から下げていく。このような方式でも、図7に示される方法と同じ効果が得られる。

【0037】また、図7～9では、 $dV_{pp}/dt = \text{一定}$ としたが、現実的にこれが困難である場合でも、 $dV_{pp}/dt \geq 0$ を保持しながら V_{pp} を Δt の時間に ΔV_{pp} の率で変化させ、かつ電子注入後のしきい値分布幅が ΔV_{pp} となるようにすれば、 $dV_{pp}/dt = \text{一定}$ の場合に近い効果が得られる。

【0038】電圧 V_{pp} には勿論上限があり、それはデバイスの耐圧 V_{break} で決まる。 V_{pp} が V_{break} に達したらそれ以上は V_{pp} は高められない。この場合でも、 V_{pp} が V_{break} に達するまでの間、本発明による効果が得られる。また、図2～9では、電子注入の場合について説明したが、電子放出の場合もp型ウェルに対する制御ゲートの極性を反転させ、同様に実施できる。

【0039】図10は、本発明の第5の実施例に係わるNANDセル型EEPROMのメモリセルアレイを示している。8個のメモリセル $M1 \sim 8$ が、それぞれ隣接するもの同士でソース、ドレインを共有する形で直列接続されて1つのNANDセルを構成し、一方の端子は第1の選択トランジスタ $S1$ を介してビット線 BL に接続される。また、他方の端子は第2の選択トランジスタ $S2$ を介して、共通ソース線 VS に接続される。選択ゲート $SG1, 2$ は選択トランジスタ $S1, 2$ のゲート電極、

制御ゲート $CG1 \sim 8$ はメモリセルのゲート電極である。制御ゲート CG を共有するメモリセル群でページを構成し、選択ゲート SG を共有するNANDセル群でブロックを構成する。1つ1つのメモリセルは図1のような構造をしていて、メモリセルアレイは共通のp型ウェルに形成されている。

【0040】このNANDセル型EEPROMの消去・書き込み・読み出し・書き込みベリファイの各動作は、次の通りである。消去は、ブロック単位で行われる。p型ウェルを高電圧 V_{pp} ($\sim 20V$)にし、選択ブロック内の制御ゲート $CG1 \sim 8$ を0Vにする。非選択ブロック内の制御ゲートと全ての選択ゲートは、 V_{pp} にされる。浮遊ゲート内の電子はp型ウェルに放出され、メモリセルのしきい値は負となる。

【0041】消去後、ページ単位で一括してデータ書き込みが、ビット線から最も離れた位置のページから行われる。書き込み動作時は、選択されたページの制御ゲート(例えば $CG4$)に V_{pp} ($10 \sim 20V$ 程度)を印加し、非選択のページの制御ゲート $CG1 \sim 3, 5 \sim 8$ と第1の選択ゲート $SG1$ に中間電位 V_m ($\sim 10V$)を印加する。ビット線 BL には、“0”書き込み動作の場合0V、“1”書き込み動作の場合 V_m を与える。第2の選択ゲート $SG2$ は0Vである。

【0042】“0”書き込み動作の場合、選択された制御ゲート $CG4$ とチャネルの電位差 V_{pp} によって、電子がチャネルから浮遊ゲートにトンネル電流によって注入され、しきい値は正の方向に変化する。“1”書き込み動作の場合、チャネルの電位が V_m にされているので、トンネル酸化膜にかかる電界は弱く電子の浮遊ゲートへの実効的な注入は起こらない。よって、しきい値は変化しない。

【0043】書き込み動作後、メモリセルのしきい値を確認するための、ベリファイが行われる。選択された制御ゲート(例えば $CG4$)にベリファイ電位($\sim 0.5V$)を与え、非選択の制御ゲート $CG1 \sim 3, 5 \sim 8$ 、第1, 2の選択ゲート $SG1, 2$ を電源電圧 V_{cc} にする。もし“0”書き込み動作後に、ビット線 BL とソース線が電気的に通じれば、その選択されたメモリセルのしきい値はベリファイ電位以下で“0”書き込み不十分で、再書き込み時に“0”書き込み動作が再度実行される。そうでなければ、しきい値はベリファイ電位以上で“0”書き込み十分で、それ以上の浮遊ゲートへの電子注入は必要でないと判断され、再書き込み時は“1”書き込み動作が実行される。“1”書き込み動作後はメモリセルのしきい値に拘らず、再書き込み動作時に再度“1”書き込み動作が実行される。

【0044】書き込み動作とベリファイ動作を繰り返しながらデータ書き込みを行うことで、書き込み時間は各メモリセル毎に調節される。1ページ分のメモリセル全てが書き込み十分と検出されると、1ページ分のデータ

書き込みは終了する。

【0045】読み出しは、選択された制御ゲート（例えばCG4）を0Vにし、非選択の制御ゲートCG1～3、5～8、第1、2の選択ゲートSG1、2を電源電圧Vccにする。予め充電されているビット線BLの電位が下がれば、メモリセルのしきい値は0V以下でデータは“1”である。ビット線BLの電位が保持されれば、メモリセルのしきい値は0V以上でデータは“0”である。読み出し動作から、メモリセルのしきい値は電源電圧Vcc以下でなければならない。

【0046】次に、このようなNANDセル型EEPROMの、書き込み時の選択された制御ゲートCGへの書き込み電圧Vppの印加方法を説明する。図11は、制御ゲートを駆動する回路の構成を示す図である。各制御ゲート、選択ゲートに対して、制御ゲートドライバ11、第1、第2選択ゲートドライバ10、12の出力を選択的に転送する、転送回路9が設けられる。セルアレイ8のブロックに対応する10個の転送回路9群はブロック選択信号φwi、φwBiによって選択される。昇圧回路13は電源電圧Vccから書き込み・消去時に必要なVpp、Vmを発生し、制御ゲートドライバ11、第1、2選択ゲートドライバ10、12に供給する。

【0047】図12は、図11の制御ゲートCG4の転送回路9、制御ゲートドライバ11、昇圧回路13の構成をより具体的に示している。転送回路9は、nチャネルMOSトランジスタ(n-ch. MOS Tr.) Qn1とpチャネルMOSトランジスタ(p-ch. MOS Tr.) Qp1で構成されるCMOS転送回路と、n-ch. MOS Tr. Qn2で構成されるリセット回路から構成される。信号φwi、φwBiがそれぞれ“H”、“L”となるとノードN1の電圧が制御ゲートへ転送され、“L”、“H”となると制御ゲートは接地される。昇圧回路13は、Vm昇圧回路14とVpp昇圧回路15から構成される。制御ゲートドライバ11は、第1スイッチ回路16、第2スイッチ回路17、第3スイッチ回路18から構成される。

【0048】第1スイッチ回路16は、Vm昇圧回路14の出力VmをノードN1に接続するか否かを制御する。第2スイッチ回路17は、Vpp昇圧回路15の出力VppをノードN1に接続するか否かを制御するが、ノードN1に転送される電圧はVpp-ΔVppである。第3スイッチ回路18は、Vpp昇圧回路15の出力VppをノードN1に接続するか否かを制御するが、ノードN1にVppを転送する時の電流量は、ノードN1の電位の上昇率dVpp/dtを制御するために制御される。

【0049】図13は、制御ゲートドライバ11の具体的な構成を示している。第1スイッチ回路16は、p-ch. MOS Tr. Qp2～4、n-ch. MOS Tr. Qn3,4、nチャネルDタイプMOSトランジスタ(n-ch. D-type MOS Tr.) QD1、及びインバータ11から構成される。Qp2、3、Qn3,4とインバータ11で構成される回路は、0V

とVccの間で振幅する信号φ1を、0VからVppの間で振幅する信号に変換する。φ1が“L”で、Qp4のゲートはVpp、QD1のゲートは0Vとなり、VmとN1は切り離される。φ1が“H”で、Qp4のゲートは0V、QD1のゲートはVppとなり、VmとN1は接続される。QD1は、N1がVppとなった場合にVppがQp4に転送されるのを防ぐためのものである。

【0050】第2スイッチ回路17は、p-ch. MOS Tr. Qp5～8、n-ch. MOS Tr. Qn5,6とインバータ12から構成される。φ2が“L”で、Qp7のゲートはVppとなり、VppとN1は切り離される。φ2が“H”で、Qp7のゲートは0Vとなり、VppとN1は接続され、VppよりQp8のしきい値分(～1V)低い電圧がN1に転送される。

【0051】第3スイッチ回路18は、p-ch. MOS Tr. Qp9～11、n-ch. MOS Tr. Qn7,8とインバータ13と電流制御回路19から構成される。φ3が“L”で、Qp11のゲートはVppとなり、VppとN1は切り離される。φ3が“H”で、Qp11のゲートは0Vとなり、VppとN1は接続され、VppはN1に電流制御回路19によりdVpp/dtを制御されながら転送される。

【0052】p-ch. MOS Tr. Qp12、n-ch. MOS Tr. Qn9、n-ch. D-type MOS Tr. QD2は、N1をVGH或いはVccにするための回路である。φ4が“H”でN1はVGH、φ4が“L”でN1はVccとなる。電圧VGHは通常0Vで、ベリファイ時にベリファイ電圧VVFY(～0.5V)になる。QD2は、信号φ5が“L”となってノードN1にVmやVppが印加された場合に、Qp12にVmやVppが転送されないようにするためのものである。

【0053】図14は、図13中の電流制御回路19の具体的な構成を示す図である。図14(a)は、p-ch. MOS Tr. Qp13～15とn-ch. D-type MOS Tr. QD3,4から構成され、信号φ3は図13中の信号φ3の反転信号である。信号φ3が“H”、φ3が“L”となってノードN2がVppとなると、Qp15のゲートはVpp-2Vtp(Vtpはp-ch. MOS Tr. のしきい値)となり、ノードN3からN1への電流はQp15で制御される。

【0054】図14(b)は、p-ch. MOS Tr. Qp16,17、n-ch. MOS Tr. Qn10、キャパシタC1と抵抗R1から構成される。信号φ3が“H”、ノードN2がVppとなると、Qp16のゲートはVppから0VまでキャパシタC1と抵抗R1により制御され変化する。よって、ノードN3からN1への電流はQp16で制御される。

【0055】図15は、以上のように構成されたEEPROMの書き込み動作を示すタイミング図である。ここでは、制御ゲートCG4が選択されているとする。まず、電圧Vm、Vppが昇圧回路14、15によって電源電圧Vccから昇圧される。電圧Vppは、書き込み/ベリファイが繰り返される毎に、Vpp1からVtpづつ高くなる。図12に見られる信号φwi、φwBiは選択されたブ

ロックで、それぞれ V_{pp} , 0Vである。

【0056】書き込み動作は、信号 ϕ_4 が“L”となってノードN1が V_{cc} となり、選択されたブロックの制御ゲートCG1~8は全て V_{cc} となる。同時に選択されたブロックの選択ゲートSG1も V_{cc} にされ、ビット線BLは“1”書き込みの場合のみ V_{cc} にされる。選択ゲートSG2は書き込み動作中0Vとされる。 ϕ_1 が“H”となって、制御ゲートCG1~8、選択ゲートSG1、“1”書き込みビット線BLは V_m となる。選択された制御ゲートCG4は、 ϕ_3 が“H”となることで V_m から V_{pp1} まで時間 Δt_0 かけて制御されながら上げられる。非選択制御ゲートCG1~3、5~8と選択ゲートSG1、“1”書き込みビット線BLは V_m のままである。非選択の制御ゲートに関する信号 ϕ_1 , ϕ_2 , ϕ_3 , ϕ_4 は図中点線で示してある。

【0057】 ϕ_4 が“H”となって全制御ゲートCG1~8は0Vとなる。このとき、選択ゲートSG1も0Vにリセットされ、遅れてビット線BLが0Vにリセットされる。

【0058】続いて、ベリファイ動作となる。選択制御ゲートCG4はベリファイ電位 V_{VRFY} になり、非選択制御ゲートCG1~3、5~8は ϕ_4 が“L”となって V_{cc} とされる。選択ゲートSG1、2も V_{cc} となる。

“0”書き込みすべきメモリセルのしきい値が V_{VRFY} を超えたと検出されると、再書き込み動作時に“1”書き込みが行われ、過剰“0”書き込みが防がれる。“0”書き込みすべきメモリセルのしきい値が V_{VRFY} を超えていない検出されると、再書き込み動作時に“0”書き込みが再度行われる。“1”書き込みすべきメモリセルでは、再書き込み動作時には“1”書き込みが再度行われ

る。

【0059】2回目以降の書き込み動作では、選択制御ゲートCG4は V_m まで充電された後、 ϕ_2 が出力され、前回の書き込み動作時の選択制御ゲート最大電圧まで急速に充電される。更に、 ϕ_3 が“H”となって、 V_{tp} だけ時間 Δt をかけて制御されながら上げられる。例えば、2回目の書き込み動作時には、 V_{pp1} から V_{pp2} ($V_{pp2} = V_{pp1} + V_{tp}$)まで制御されながら上げられる。

【0060】初回の書き込み動作時の $(V_{pp1} - V_m) / \Delta t_0$ と2回目以降の書き込み動作時の $V_{tp} / \Delta t$ はほぼ同じ値になるように設定される。初回の書き込み動作時には、最も速く“0”書き込みされるメモリセルのしきい値が、“0”書き込み後収まるべきしきい値分布の最大値以下になるよう、2回目以降の書き込み動作時には、“0”書き込みすべきメモリセルのしきい値が ΔV_{pp} (ΔV_{pp} は V_{pp} の増加率で、この例では V_{tp})シフトするように、設定される(図16)。よって、“0”書き込み後のしきい値分布幅は ΔV_{pp} (この例では V_{tp})となる。

【0061】データ書き込みは、以上の書き込み動作とベリファイ動作を繰り返して行い、全ての“0”書き込みすべきメモリセルのしきい値が、 V_{VRFY} を超えたと検出されると、終了する。

【0062】制御ゲートドライバ11の他の実施例を、図17、18に示す。ここでは、2つの V_{pp} 昇圧回路A20と V_{pp} 昇圧回路B21が設けられ、それぞれの出力は V_{ppA} , V_{ppB} である。第4スイッチ回路22は、 V_{pp} 昇圧回路A20の出力 V_{ppA} をノードN1に接続する可否かを制御する。

【0063】図19は、書き込み動作を示すタイミング図である。 V_{ppA} , V_{ppB} は初回の書き込み動作時は同じ V_{pp1} で、2回目の書き込み動作以降 $V_{ppB} = V_{ppA} + \Delta V_{pp}$ とされる。 V_{ppA} , V_{ppB} 以外は、図15と同じである。この実施例では、 ΔV_{pp} の設定が、図12、13に示される実施例より容易である。

【0064】図20は、本発明の第7の実施例に係わる電子注入方式を示している。これは、1つのメモリセルに3つの状態(データ“0”, “1”, “2”)を記憶させるものである。 V_{pp} パルス波形は、図7に示したものと同じであるが、“2”書き込みするメモリセルと“1”書き込みするメモリセルに印加される電圧は ΔV_{ppB} だけ異なる。また、ベリファイ動作で、“2”書き込みすべきメモリセルで所望のしきい値(V_{VRFY2})に達していないもの、“1”書き込みすべきメモリセルで所望のしきい値(V_{VRFY1})に達していないもの、がそれぞれ検出され、それらのメモリセルのみ“2”或いは“1”追加書き込みが行われる。この時、 $dV_{pp2} / dt = dV_{pp1} / dt = \Delta V_{ppA}$ とされ、 ΔV_{ppA} はメモリセルのしきい値変化量 dV_{th} / dt と等しくされる。

【0065】これによって“2”と“1”書き込み後のしきい値分布 ΔV_{th} は ΔV_{ppA} となる。また、 ΔV_{ppB} は、“2”と“1”書き込み後のしきい値分布の間のしきい値マージン ΔV_{margin} にしきい値分布幅 ΔV_{th} を加えたものと等しくされる($\Delta V_{ppB} = \Delta V_{th} + \Delta V_{margin}$ 、又は $\Delta V_{ppB} = V_{VRFY2} - V_{VRFY1}$)。これによって、“2”と“1”書き込みはそれぞれ独立に並行処理され、高速に書き込みが行われる。当然、メモリセルのトンネル酸化膜に印加される最大電圧は最小に抑えられる。

【0066】また、“2”と“1”書き込みがそれぞれ独立に並行処理され、高速に書き込みが行われるという意味では、 V_{pp} パルス波形はいかなる形の場合でも、“2”書き込みするメモリセルと“1”書き込みするメモリセルに印加される電圧を ΔV_{ppB} だけ差をつけることは効果がある。

【0067】以上の主旨に従えば4値以上の多値記憶の場合も同様に実施できる。図20では、電子注入の場合について説明したが、電子放出の場合もp型ウェルに対する制御ゲートの極性を反転させ、同様に実施できる。

【0068】基本的に本発明は、電子（正孔）注入或いは放出による浮遊ゲートの電位変化が、徐々に高められる V_{pp} によって浮遊ゲート下の電子（正孔）が移動する酸化膜部分に印加される電界の上昇を打ち消すようにしていることに特徴がある。よって、この主旨に従えば、以上の説明の実施例のようにチャネル全面を介するトンネル電流で電子（正孔）注入或いは放出を行うもの以外に、例えば、ドレイン又はソースと浮遊ゲートの間のトンネル電流で行うものや、ホットエレクトロン或いはホットホールで行うものでも、同様の効果が得られる。

【0069】

【発明の効果】以上説明したように本発明によれば、書き込み動作とビット毎ベリファイ動作のサイクルを繰り返しながら、書き込み電圧 V_{pp} を徐々に高めることにより、十分な V_{pp} マージンを確保し、メモリセルのしきい値分布幅を狭く、高速に電子注入を行うことができるE EPROMを実現することができる。また、電子放出もメモリセルの制御ゲート電圧極性を反転することで容易に実施できる。さらに、メモリセルがp.チャネルMOSトランジスタの場合も同様に実施できる。

【図面の簡単な説明】

【図1】本発明の実施例に用いたメモリセルの構造と等価回路を示す図。

【図2】第1の実施例における、ベリファイ動作を取り入れた電子注入方式による電子注入特性を示す図。

【図3】第2の実施例における、ベリファイ動作を取り入れた電子注入方式による電子注入特性を示す図。

【図4】第2の実施例における、ビット毎ベリファイ動作を取り入れた従来の電子注入方式によるメモリセルのしきい値変化を示す図。

【図5】第2の実施例における、よりメモリセルのしきい値の制御性を高めるための、ベリファイ動作を取り入れた、電子注入方式による電子注入特性を示す図。

【図6】第3の実施例における、ベリファイ動作を取り入れた電子注入方式による電子注入特性を示す図。

【図7】第4の実施例における、ベリファイ動作を取り入れた電子注入方式による電子注入特性を示す図。

【図8】第4の実施例における、ベリファイ動作を取り入れた電子注入方式の変形例を示す図。

【図9】第4の実施例における、ベリファイ動作を取り入れた電子注入方式の変形例を示す図。

【図10】第5の実施例における、NANDセル型E EPROMのメモリセルアレイを示す図を示す図。

【図11】第5の実施例における、制御ゲートを駆動する回路の構成を示す図。

【図12】第5の実施例における、制御ゲートドライバの回路構成を示す図。

【図13】第5の実施例における、制御ゲートドライバ

の具体的な回路構成を示す図。

【図14】第5の実施例における、制御ゲートドライバ中の電流制御回路の具体的な構成を示す図。

【図15】第5の実施例における、書き込み／ベリファイ動作を説明するためのタイミング図。

【図16】第5の実施例における、メモリセルの書き込み特性を示す図。

【図17】第6の実施例における、制御ゲートドライバの構成を示す図。

10 【図18】第6の実施例における、制御ゲートドライバの具体的な回路構成を示す図。

【図19】第6の実施例における、書き込み／ベリファイ動作を説明するためのタイミング図。

【図20】第7の実施例における、ベリファイ動作を取り入れた電子注入方式及びその電子注入特性を示す図。

【図21】従来の電子注入方式による電子注入特性を示す図。

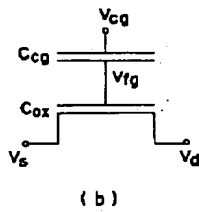
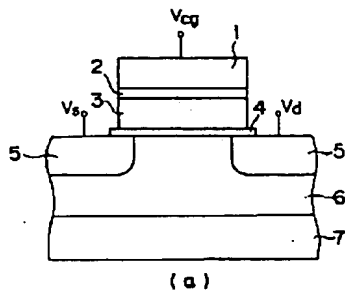
【図22】ベリファイ動作を取り入れた従来方式による電子注入特性を示す図。

20 【図23】ビット毎ベリファイ動作を取り入れた従来の電子注入方式によるメモリセルのしきい値変化を示す図。

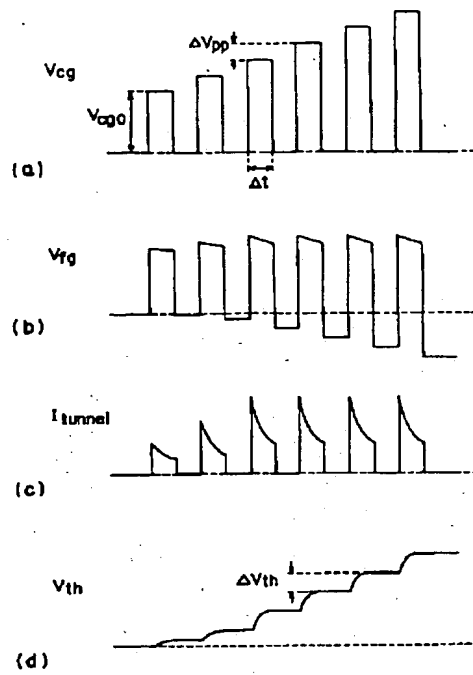
【符号の説明】

1…制御ゲート	2…ゲート間絶縁膜
3…浮遊ゲート	4…トンネル酸化膜
5…n型拡散層	6…p型ウェル
7…n型基板	8…NANDセル
30 型セルアレイ	
9…転送回路	10…第1選択ゲートドライバ
11…制御ゲートドライバ	12…第2選択ゲートドライバ
13…昇圧回路	14… V_m 昇圧回路
15… V_{pp} 昇圧回路	16…第1スイッチ回路
17…第2スイッチ回路	18…第3スイッチ回路
40 19…電流制御回路A	20… V_{pp} 昇圧回路A
21… V_{pp} 昇圧回路B	22…第4スイッチ回路
Q_n …nチャネルMOSトランジスタ	
Q_p …nチャネルMOSトランジスタ	
Q_D …nチャネルDタイプMOSトランジスタ	
I…CMOSインバータ	

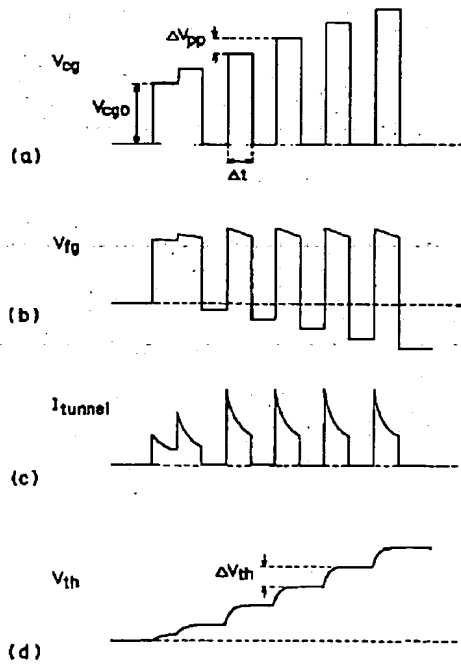
【図 1】



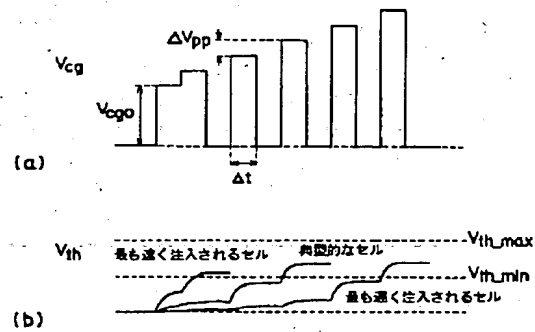
【図 2】



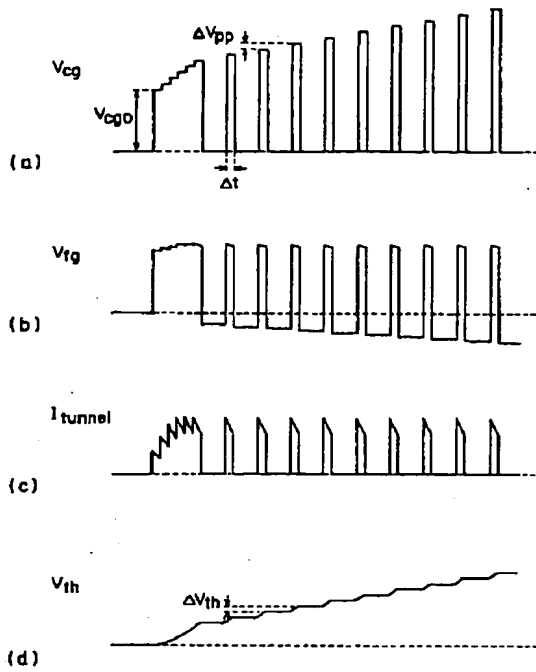
【図 3】



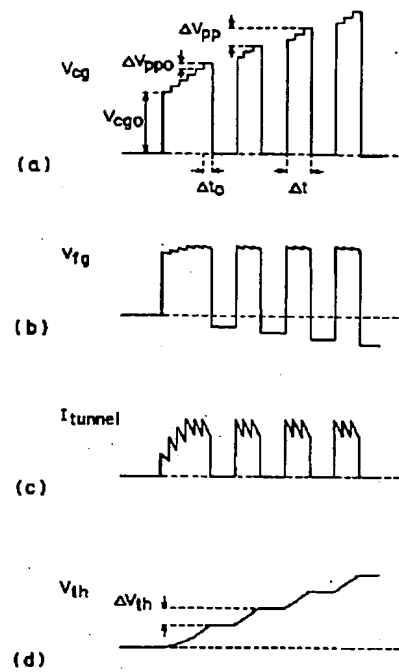
【図 4】



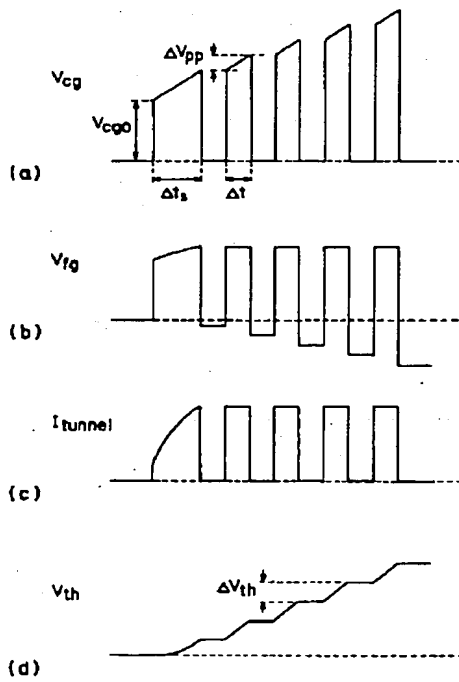
【図5】



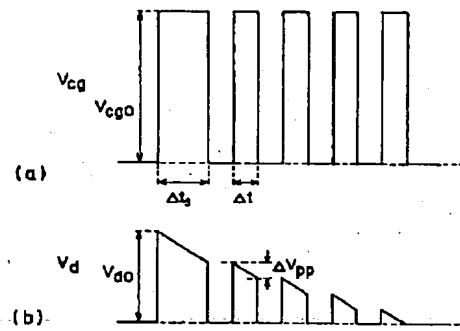
【図6】



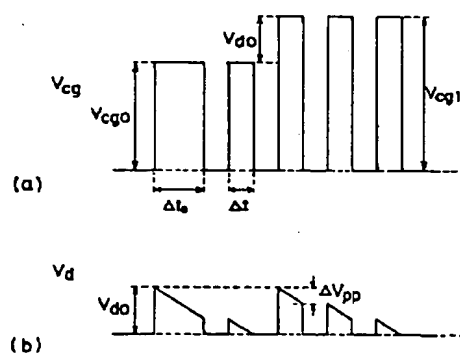
【図7】



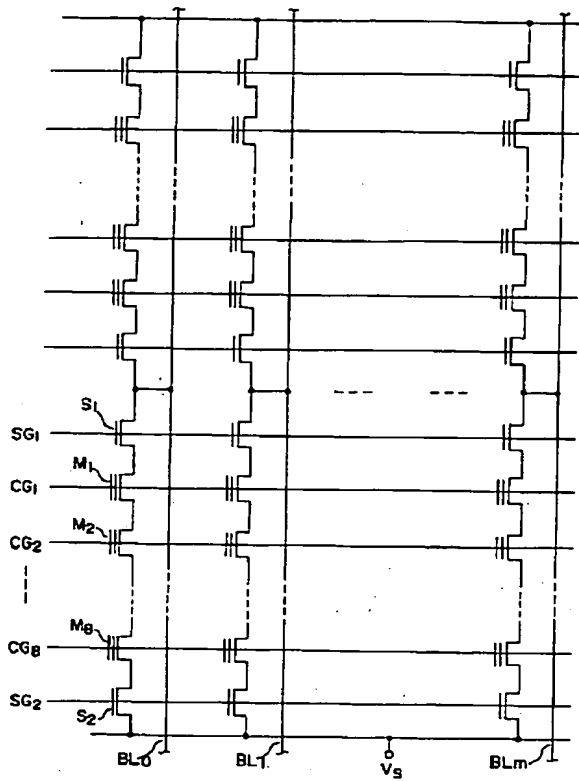
【図8】



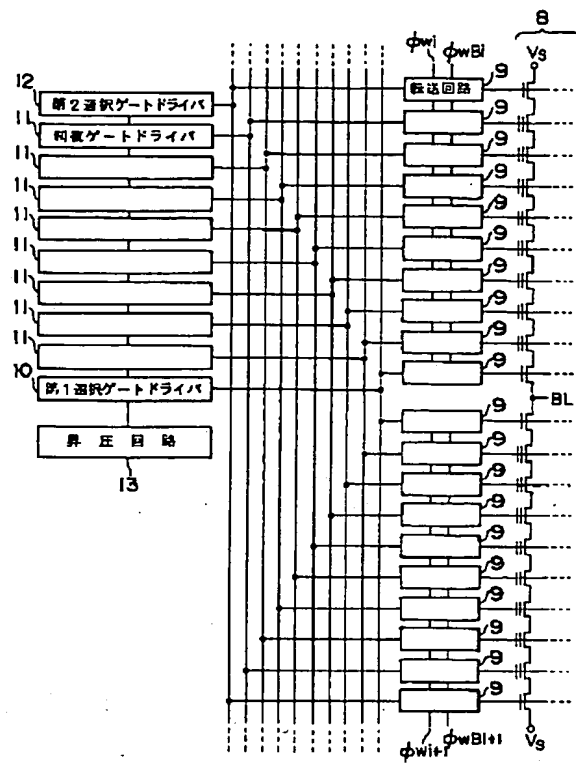
【図9】



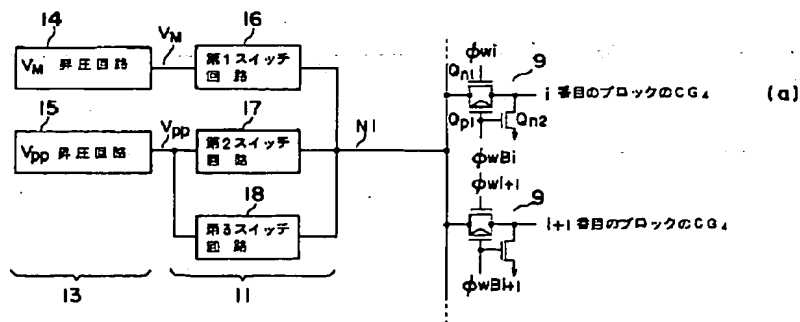
【図10】



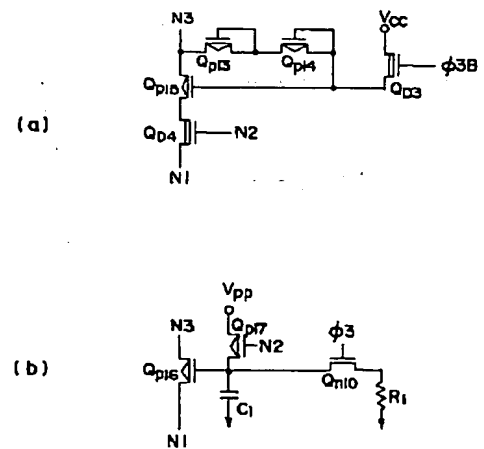
【図11】



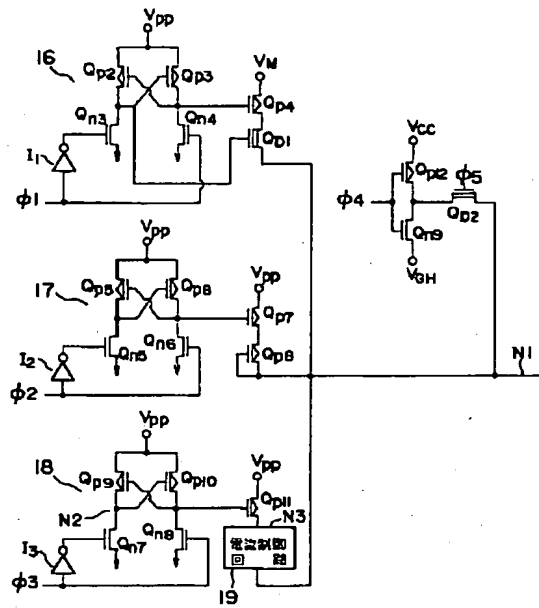
【図12】



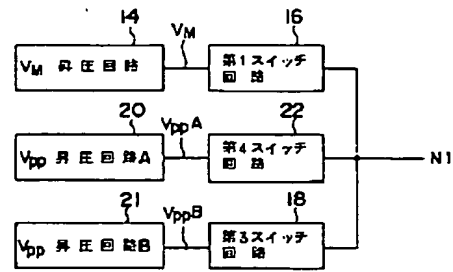
【図14】



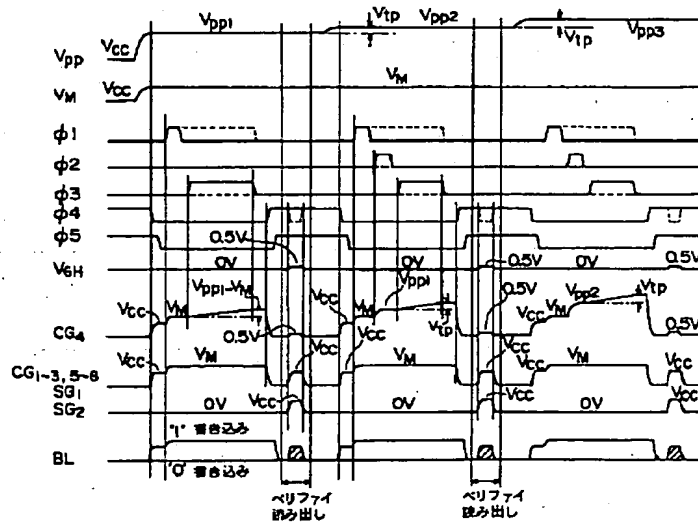
【図13】



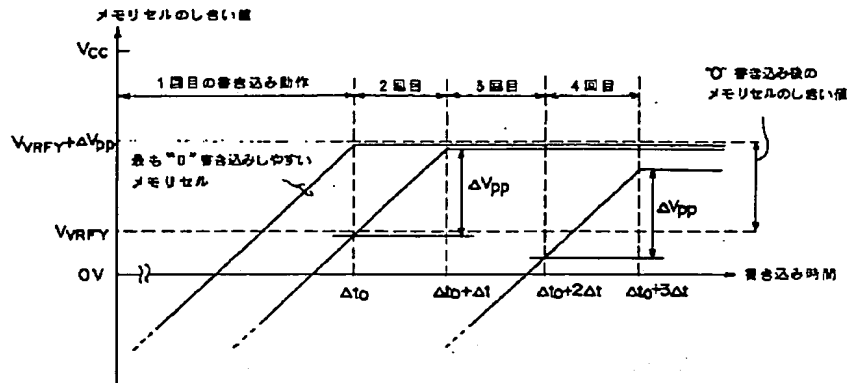
【図17】



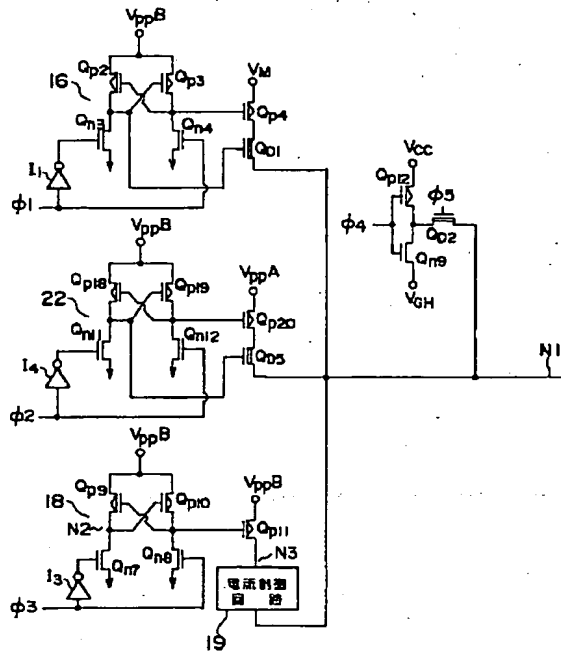
【図15】



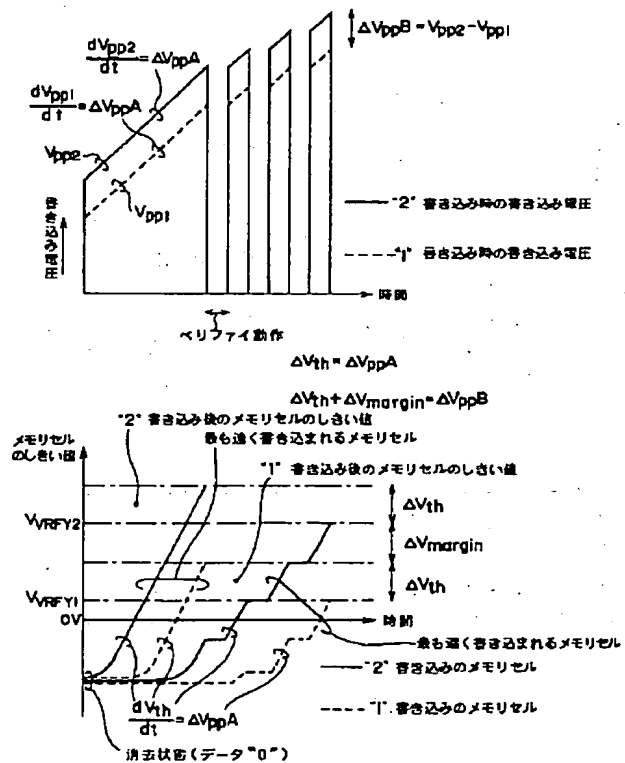
【図16】



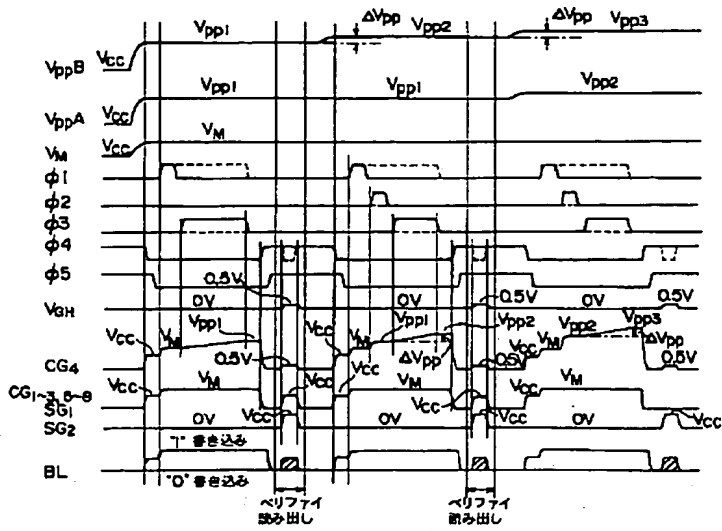
【図18】



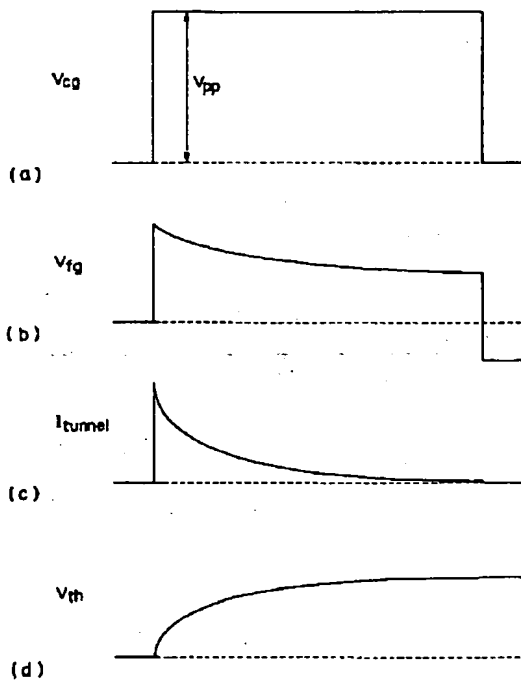
【図20】



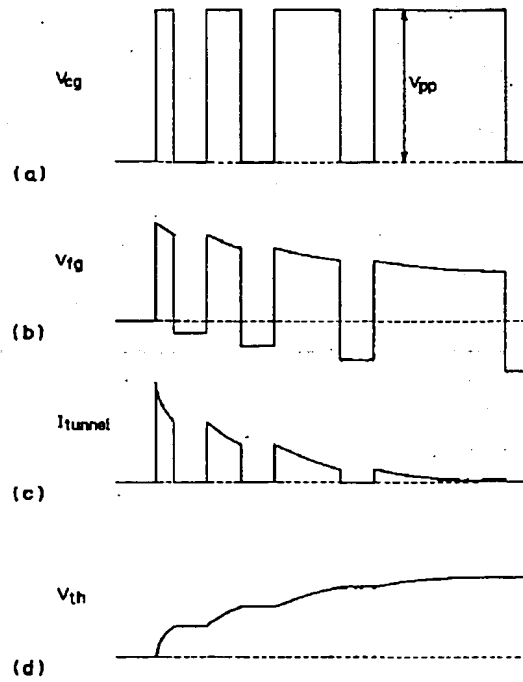
【図19】



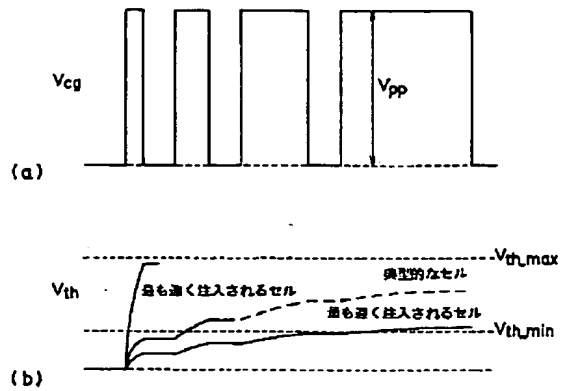
【図21】



【図22】



〔図23〕



フロントページの続き

(51)Int.Cl.⁶

H01L 29/792

識別記号

庁内整理番号

F I

技術表示箇所

【公報種別】特許法第17条の2の規定による補正の掲載
 【部門区分】第6部門第4区分
 【発行日】平成13年3月23日(2001.3.23)

【公開番号】特開平7-169284
 【公開日】平成7年7月4日(1995.7.4)
 【年通号数】公開特許公報7-1693
 【出願番号】特願平5-311740
 【国際特許分類第7版】

G11C 16/06
 H01L 21/8247
 29/788
 29/792

【F I】

G11C 17/00 510 D
 H01L 29/78 371

【手続補正書】

【提出日】平成12年4月24日(2000.4.24)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】半導体層上に電荷蓄積層と制御ゲートを積層して構成された電氣的書き替え可能なメモリセルがマトリクス状に配置されたメモリセルアレイと、前記メモリセルアレイ中の任意の個数のメモリセルのしきい値を変動させるため、前記制御ゲートと前記半導体層との間にしきい値変動電圧パルスを時間 Δt_0 の間印加するしきい値変動手段と、前記任意の個数のメモリセルの前記しきい値変動電圧パルス印加後の状態を検知するしきい値ベリファイ手段と、

前記任意の個数のメモリセルのうち、所望のしきい値に達していないしきい値変動不十分のメモリセルに対して、しきい値変動電圧パルスを時間 Δt の間印加し、再びしきい値を変動させる再しきい値変動手段とを備え、前記しきい値変動手段によるしきい値変動動作と前記しきい値ベリファイ手段によるしきい値ベリファイ動作の後、前記再しきい値変動手段による再しきい値変動動作と前記しきい値ベリファイ動作を、メモリセルのしきい値が前記所望の値に達するまで繰り返す不揮発性半導体記憶装置において、

前記しきい値変動電圧パルスを、前記再しきい値変動動作の度にパルス波高増分 ΔV_{pp} だけ高め、

前記所望のしきい値に達したメモリセルのしきい値分布幅が $|\Delta V_{pp}|$ となるように電氣的にデータ消去或いは

データ書き込みを行うことを特徴とする不揮発性半導体記憶装置。

【請求項2】半導体層上に電荷蓄積層と制御ゲートを積層して構成された電氣的書き替え可能なメモリセルがマトリクス状に配置されたメモリセルアレイと、

前記メモリセルアレイの各メモリセルのデータをデータ“0”の状態に消去する消去手段と、

前記メモリセルアレイ中の任意の個数のメモリセルのしきい値を変動させるため、前記制御ゲートと前記半導体層との間に、書き込みデータ(“1”, “2”, ..., “n”)に応じたしきい値変動電圧パルス(V_{pp1} , V_{pp2} , ..., V_{ppn})を印加する書き込みパルス印加手段と、

前記任意の個数のメモリセルの前記しきい値変動電圧パルス印加後の状態を検知するしきい値ベリファイ手段と、

前記任意の個数のメモリセルのうち、書き込みデータ(“1”, “2”, ..., “n”)に応じた所望のしきい値(V_{th1} , V_{th2} , ..., V_{thn})に達していない書き込み不十分のメモリセルに対して、書き込みデータに応じたしきい値変動電圧パルスを印加し、再び書き込みデータに応じてしきい値変動させる再書き込みパルス印加手段とを備え、

前記書き込みパルス印加手段によるしきい値変動動作と前記しきい値ベリファイ手段によるしきい値ベリファイ動作の後、前記再書き込みパルス印加手段による再しきい値変動動作と前記しきい値ベリファイ動作を、メモリセルのしきい値が書き込みデータに応じた前記所望の値に達するまで繰り返す、

前記しきい値変動電圧パルスは、 $V_{pp1} = V_{pp2} - \Delta V_{ppd2} = V_{pp3} - \Delta V_{ppd3} = \dots = V_{ppn} - \Delta V_{ppdn}$ となっていて、

前記所望のしきい値は、 $V_{thi} - V_{thi-1} = \Delta V_{ppdi}$ ($i = 2, 3, \dots, n$)であることを特徴とする不揮発性半導体記憶装置。

【請求項 3】前記書き込みパルス印加手段によるしきい値変動電圧パルスは時間 Δt_0 の間印加され、前記再書き込みパルス印加手段によるしきい値変動電圧パルスは時間 Δt の間印加され、

前記しきい値変動電圧パルスは再しきい値変動動作の度にパルス波高増分 ΔV_{pp} だけ高められ、

前記所望のしきい値に達したメモリセルのしきい値分布幅が $|\Delta V_{pp}|$ となるように電氣的にデータ書き込みを行うことを特徴とする請求項 2 記載の不揮発性半導体記憶装置。

【請求項 4】電氣的に書き込み可能な不揮発性半導体メモリセルと、

前記メモリセルを所定の書き込み状態にするために、時間と共にほぼ一定の割合で電圧が増加していく書き込みパルスを該メモリセルに印加し、前記メモリセルの書き込み状態を検出し、前記メモリセルが前記所定の書き込み状態に達したと検出すると該メモリセルへの書き込みを抑制する書き込み手段とを備え、

前記書き込みパルスは第 1 のパルス及び第 1 のパルスに続く複数の第 2 のパルスに分割され、第 1 のパルスの幅は第 2 のパルスの幅より長いことを特徴とする不揮発性半導体記憶装置。

【請求項 5】電氣的に書き込み可能な不揮発性半導体メモリセルと、

前記メモリセルを所定の書き込み状態にするために、時間と共にほぼ一定の割合で電圧が増加していく書き込みパルスを該メモリセルに印加し、前記メモリセルの書き込み状態を検出し、前記メモリセルが前記所定の書き込み状態に達したと検出すると該メモリセルへの書き込みを抑制する書き込み手段とを備え、

前記書き込みパルスはパルス幅のほぼ等しい複数のパルスに分割され、各々のパルス印加の度に書き込み状態検出のためのベリファイ動作が行われ、且つ最初の数発のパルスは 1 つにまとめられてベリファイ動作が省略されることを特徴とする不揮発性半導体記憶装置。

【請求項 6】電氣的に書き込み可能な複数の不揮発性半導体メモリセルと、

前記メモリセルを所定の書き込み状態にするために、時間と共にほぼ一定の割合で電圧が増加していく書き込みパルスを該メモリセルに印加し、前記メモリセルの書き込み状態を検出し、前記所定の書き込み状態に達したと検出されたメモリセルへの書き込みをメモリセル毎に独立に抑制する書き込み手段とを備え、

前記書き込みパルスは第 1 のパルス及び第 1 のパルスに続く複数の第 2 のパルスに分割され、第 1 のパルスの幅は第 2 のパルスの幅より長いことを特徴とする不揮発性半導体記憶装置。

【請求項 7】電氣的に書き込み可能な複数の不揮発性半導体メモリセルと、

前記メモリセルを所定の書き込み状態にするために、時間と共にほぼ一定の割合で電圧が増加していく書き込みパルスを該メモリセルに印加し、前記メモリセルの書き込み状態を検出し、前記所定の書き込み状態に達したと検出されたメモリセルへの書き込みをメモリセル毎に独立に抑制する書き込み手段とを備え、

前記書き込みパルスはパルス幅のほぼ等しい複数のパルスに分割され、各々のパルス印加の度に書き込み状態検出のためのベリファイ動作が行われ、且つ最初の数発のパルスは 1 つにまとめられてベリファイ動作が省略されることを特徴とする不揮発性半導体記憶装置。

【請求項 8】電氣的に多値データ書き込み可能な複数の不揮発性半導体メモリセルと、

前記メモリセルを対応するそれぞれの所定の書き込み状態にするために、時間と共にほぼ一定の割合で電圧が増加していく書き込みパルスを対応するそれぞれのメモリセルに印加し、前記メモリセルの書き込み状態を検出し、前記所定の書き込み状態に達したと検出されたメモリセルへの書き込みをメモリセル毎に独立に抑制する書き込み手段とを備え、

前記書き込みパルスは、対応するメモリセルの達するべき書き込み状態に応じた電圧を有することを特徴とする不揮発性半導体記憶装置。

【請求項 9】前記書き込みパルスの電圧は段階的に増加することを特徴とする請求項 4～8 の何れかに記載の不揮発性半導体記憶装置。

【請求項 10】前記書き込みパルスの電圧は時間と共にリニアに増加することを特徴とする請求項 4～8 の何れかに記載の不揮発性半導体記憶装置。

【請求項 11】前記書き込みパルスが印加されていない期間に前記メモリセルの書き込み状態は検出されることを特徴とする請求項 4、6 又は 8 に記載の不揮発性半導体記憶装置。

【請求項 12】第 1 のパルスの幅は、第 1 のパルス印加後に前記メモリセルのしきい値電圧の増加の割合がほぼ前記書き込みパルスの電圧増加の割合に等しくなるように設定されていることを特徴とする請求項 4 又は 5 記載の不揮発性半導体記憶装置。

【請求項 13】第 1 のパルスの幅は、第 1 のパルス印加後に少なくとも一つの前記メモリセルのしきい値電圧の増加の割合がほぼ前記書き込みパルスの電圧増加の割合に等しくなるように設定されていることを特徴とする請求項 6～8 の何れかに記載の不揮発性半導体記憶装置。

【請求項 14】前記メモリセルに対して少なくとも 3 つのしきい値電圧 (V_{t1}, V_{t2}, V_{t3}) に対応した書き込み状態が設定可能であり、前記書き込みパルスの電圧として少なくとも 3 つの電圧 ($V_{pp1}, V_{pp2}, V_{pp3}$) が設定されていて、少なくともしきい値差 $V_{t1} - V_{t2}$ は書き

込み電圧差 $V_{pp1} - V_{pp2}$ にほぼ等しいことを特徴とする請求項 8 記載の不揮発性半導体記憶装置。

【請求項 15】前記書き込みパルスは第 1 のパルス及び第 1 のパルスに続く複数の第 2 のパルスに分割され、第 1 のパルスの幅は第 2 のパルスの幅より長いことを特徴とする請求項 8 記載の不揮発性半導体記憶装置。

【請求項 16】前記書き込みパルスはパルス幅のほぼ等しい複数のパルスに分割され、各々のパルス印加の度に書き込み状態検出のためのベリファイ動作が行われ、且つ最初の数発のパルスは 1 つにまとめられてベリファイ動作が省略されることを特徴とする請求項 8 記載の不揮発性半導体記憶装置。